

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-306821✓

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/027		H 0 1 L 21/30	5 0 2 M
G 0 3 F	9/00		G 0 3 F 9/00	H
H 0 1 L	21/3205		H 0 1 L 21/30	5 2 2 Z
				5 2 3
			21/88	A
審査請求 未請求 請求項の数 8 O L (全 6 頁)				

(21)出願番号 特願平8-124647

(22)出願日 平成8年(1996)5月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 柴田 浩延

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内

(72)発明者 桂 敏彦

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内

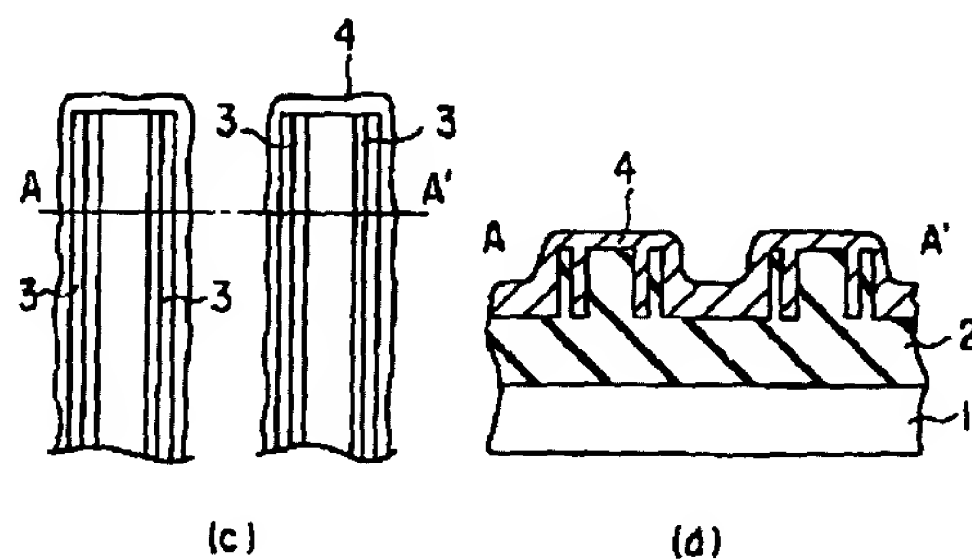
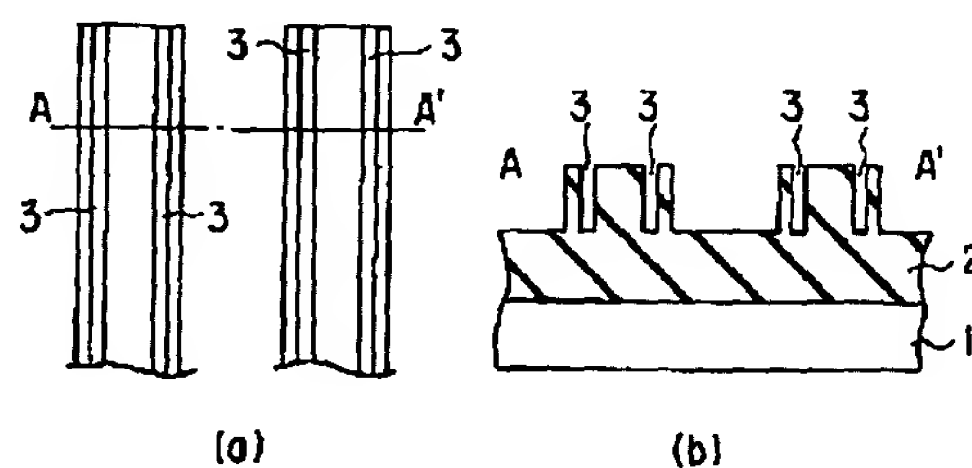
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその合わせマーク

(57)【要約】

【課題】金属膜が高温の成膜工程により形成される場合にも、フォトリソグラフィ工程において高い合わせ精度を実現することができる半導体装置を提供する。

【解決手段】金属配線4を成形するためのフォトリソグラフィ工程において、金属配線4の位置とその下に形成されている層2の位置とを合わせるために金属配線4の下層2に形成された段差部により構成される合わせマークを具備し、段差部近傍の凸部領域側に開口部3を具備する。



## 【特許請求の範囲】

【請求項1】 金属配線を成形するためのフォトリソグラフィ工程において、前記金属配線の位置とその下に形成されている層の位置とを合わせるために前記金属配線の下層に形成された段差部により構成される合わせマークを具備する半導体装置において、前記段差部近傍の凸部領域側に開口部を具備することを特徴とする半導体装置。

【請求項2】 前記開口部は溝により構成される請求項1記載の半導体装置。

【請求項3】 前記溝の幅は0.6  $\mu\text{m}$ 以下である請求項2記載の半導体装置。

【請求項4】 前記溝を覆う溶融して形成された金属膜は、前記溝内に入り込み、その表面積が最小となることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記開口部は、複数の孔により構成される請求項1記載の半導体装置。

【請求項6】 前記孔の径は1  $\mu\text{m}$ 未満である請求項5記載の半導体装置。

【請求項7】 前記開口部は、前記段差部から1  $\mu\text{m}$ 未満の距離に形成されている請求項1乃至6記載の半導体装置。

【請求項8】 金属配線を成形するためのフォトリソグラフィ工程において、前記金属配線の位置とその下に形成されている層の位置とを合わせるために前記金属配線の下層に形成された段差部により構成される合わせマークにおいて、前記段差部近傍の凸部領域側に開口部を具備することを特徴とする合わせマーク。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フォトリソグラフィ工程に用いられる合わせマークを有する半導体装置と合わせマークに関し、特に、例えばリフロー技術、または高温スパッタ技術、またはレーザーメルト技術等、高温の成膜工程により形成された膜をフォトリソグラフィ法により加工する時に用いられる合わせマークを有する半導体装置に関する。

## 【0002】

【従来の技術】一般に半導体装置は、フォトリソグラフィ法を用いて様々なパターンに加工された、例えば配線層等の複数の層を半導体基板上に積層することにより製造される。ここで、これらの複数の層の間の相互の位置を正確に合せることが、半導体装置の高集積化に対して重要な技術となっている。すなわち、複数のパターンの間の位置を正確に合せることができない場合には、これに伴う複数の層の間の短絡等を防止するために、常に合せ余裕を確保する必要が生じて、これが集積密度の向上を妨げる要因となるからである。

【0003】複数の層の相互のパターンの位置を合わせるために、一般に、各層を加工すると同時に、例えばダ

イシグライン上に合せマークが形成される。この合せマークは、例えば凹または凸形状を有しており、先に形成された層の合せマークの端の段差部を計測することにより、先に形成された層の位置を確認する。さらに、この位置に合わせて、後に形成される層のパターニングを行う。

【0004】このため、相互のパターンを正確に合せるためには、正確な位置にマークを形成することと、正確に位置を測定することが必要となる。図5および図6

10 に、接続孔と配線層のパターンとを合わせるために使用される従来の合せマークの構造を示す。図5の(a)は、凸形状を有する合せマークの上面図、図5の(b)は、同図(a)のA-A'断面図である。図6は、凹形状を有する合せマークの上面図、図6の(b)は、同図(a)のA-A'断面図である。

【0005】これらの合せマークは、接続孔と同時に例えばダイシグライン上の層間絶縁膜2に形成される。この後、接続孔および合せマークが形成されている層間絶縁膜2上に、配線層を構成する例えば金属膜を形成し、この金属膜をフォトリソグラフィ法とエッチング技術を用いて加工して配線層を形成する。この時に、配線層の位置を接続孔の位置に合せるために、合わせマークの端の段差部を計測する。

【0006】ここで、配線層を構成する例えばA1等の金属膜が、例えばリフロー技術、または高温スパッタ技術、またはレーザーメルト技術等、高温の成膜工程により形成される場合には、金属が溶融したり金属結晶粒の粒径が拡大する。この時に、金属結晶が不均一に成長するため、金属膜が形成された後の合わせマークの形状が、図5の(c)および(d)、または図6の(c)および(d)に示すように、変形する。すなわち、本来直線であるべき合わせマークの端の段差部に凹凸が生じて、直線ではなくなる。このため、このような凹凸に起因して、合わせマークの段差部の正確な計測が困難となり、例えば配線層の位置を接続孔の位置に対して正確に合わせることができないという問題を生じる。

【0007】このように、半導体装置を構成する各層の位置を相互に正確に合わせることができない場合、半導体装置の特性が劣化したり、各層の間の短絡等、致命的な不良が発生する可能性がある。

【0008】このような問題を解決し、合わせ精度を向上するために、例えば金属の結晶成長を抑制する様々な方法が考えられる。すなわち、熱処理温度の低温化等、熱負荷を緩和する方法、または金属の堆積膜厚を薄膜化する方法、または層間絶縁膜等の下地膜を変更する方法である。

【0009】しかし、熱負荷を緩和することは、リフロー技術、または高温スパッタ技術、またはレーザーメルト技術等の高温の成膜工程が有する本来の利点を損なうため、困難である。また、金属の堆積膜厚または層間絶

縁膜等の下地膜は、主に半導体装置の特性から決定されるものであり、これらを変更することは、半導体装置の特性が劣化する可能性があるため、困難である。

【0010】また、合わせ精度を向上するために、合わせマーク上の金属膜を除去して、合わせマークを露出するという方法が考えられる。しかし、このためには、金属膜を除去するという工程を増加する必要があるため、好ましくない。

【0011】

【発明が解決しようとする課題】このように、従来の半導体装置では、金属膜が高温の成膜工程により形成される場合に、金属結晶が不均一に成長するため、フォトリソグラフィ法において高い合わせ精度を実現することが困難であった。

【0012】本発明の目的は、金属膜が高温の成膜工程により形成される場合にも、フォトリソグラフィ工程において高い合わせ精度を実現することができる半導体装置及びその合わせマークを提供することである。

【0013】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明による半導体装置は、金属配線を成形するためのフォトリソグラフィ工程において、前記金属配線の位置とその下に形成されている層の位置とを合わせるために前記金属配線の下層に形成された段差部により構成される合わせマークを具備する半導体装置において、前記段差部近傍の凸部領域側に開口部を具備することを特徴とする。

【0014】また、上記の半導体装置において、前記開口部は溝により構成されることも可能である。さらに、前記溝の幅は $0.6\mu\text{m}$ 以下であることが可能である。

【0015】また、前述の半導体装置において、前記開口部は、複数の孔により構成されることも可能である。さらに、前記孔の径は $1\mu\text{m}$ 未満であることが可能である。

【0016】また、本発明による半導体装置は、前述の半導体装置において、前記開口部が、前記段差部から $1\mu\text{m}$ 未満の距離に形成されていることを特徴とする。このように本発明による半導体装置は、合わせマークの段差部近傍の凸部領域側に開口部を具備するため、この合わせマークが形成されている層の上に、例えばフロー技術、または高温スパッタ技術、またはレーザーメルト技術等の高温の成膜工程を用いて金属膜を形成した時に、凸部領域に形成された開口部の内部に金属が流れ込み、凸部領域上の金属の量を低減することができる。これにより、金属膜が不均一に成長することを抑制することができ、合わせマークの端に凹凸が生じることを抑制することができる。このようにして、金属膜が高温の成膜工程により形成される場合にも、フォトリソグラフィ工程において高い合わせ精度を実現することができる。これにより、性能の優れた高密度の半導体装置を

現することが可能となる。

【0017】また、開口部が溝により構成され、この溝の幅は $0.6\mu\text{m}$ 以下である本発明による半導体装置では、合わせマークの凸部領域上の金属が、溝の内部に容易に流れ込むことができる。一般に、金属は溶融した時にその表面積を最小とするような形状となる。ここで、溝の幅が $0.6\mu\text{m}$ 以上の場合には、溶融した金属が溝の内部に流れ込むことにより金属膜の表面積を小さくすることはできないが、溝の幅が $0.6\mu\text{m}$ 以下の場合には、溶融した金属が溝の内部を埋め込むことにより、金属膜の表面積を小さくすることができる。このため、溝の幅を $0.6\mu\text{m}$ 以下とすることにより、合わせマークの凸部領域上の金属が溝の内部に容易に流れ込み、金属膜が不均一に成長することを抑制して、合わせマークの端の形状を改善することができる。

【0018】また、開口部が孔により構成され、孔の径が $1\mu\text{m}$ 未満である半導体装置では、前述の溝の場合と同様に、合わせマークの凸部領域上の金属が孔の内部に容易に流れ込み、金属膜が不均一に成長することを抑制して、合わせマークの端の形状を改善することができる。

【0019】さらに、開口部は、段差部から $1\mu\text{m}$ 未満の距離に形成されている本発明による半導体装置では、合わせマークの凸部領域上の凸部の端の近傍の金属を開口部の内部に流れ込ませることができるため、特に段差部近傍の金属が不均一に成長することを抑制することができ、これにより、合わせマークの形状を改善することができ、合わせ精度を向上することができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1の(a)は、本発明の第1の実施の形態による半導体装置が有する合わせマークの構造を示す上面図、図1の(b)は、同図(a)のA-A'断面図である。

【0021】また、図2の(a)は、本発明の第2の実施の形態による半導体装置が有する合わせマークの構造を示す上面図、図2の(b)は、同図(a)のA-A'断面図である。

【0022】これら図に示すように、本発明の第1または第2の実施の形態による半導体装置は、合わせマークの凸部領域に、その端の段差部から例えば $1\mu\text{m}$ 未満程度の近傍に、例えば $0.6\mu\text{m}$ 以下の幅の溝3が形成されている。この溝3は、例えば層間絶縁膜2に接続孔を形成する時に、合わせマークと共に形成する。

【0023】このように本実施の形態では、合わせマークの凸部領域の端の段差部の近傍に溝3が形成されているため、例えばフロー技術、または高温スパッタ技術、またはレーザーメルト技術等の高温の成膜工程を用いて金属膜を形成する時に、合わせマークの凸部領域上の金属がこの溝3の内部に流れ込み、凸部領域上の金属

の膜厚を低減することができる。これにより、金属結晶粒が成長する時に、結晶粒径が不均一となることを抑制し、合わせマークの端に凹凸が生じることを抑制することができる。

【0024】図1の(c)および(d)、または図2の(c)および(d)に、金属膜を形成した後の合わせマークの形状を示す。この金属膜4として、例えばスパッタ技術を用いて、Ti等により構成されるバリアメタル層を例えば0.13 $\mu$ m程度の膜厚となるように形成した後、例えば470℃の温度で7分間のリフロー技術を用いて、膜厚が例えば0.6 $\mu$ m程度のA1膜を形成することができる。これらの図に示すように、本実施の形態によれば、高温の成膜工程を用いて金属膜4を形成した時に、合わせマークの段差部の形状を改善することができる。

【0025】また、一般に、金属は溶融した時にその表面積を最小とするような形状となる。ここで、溝3の幅が0.6 $\mu$ m以上の場合には、溶融した金属4が溝3の内部に流れ込むことにより金属膜4の表面積を小さくすることはできないため、金属4は溝3の内部に流れ込まず、合わせマークの端の形状を改善することはできない。これに対して、溝の幅が0.6 $\mu$ m以下の場合には、溶融した金属4が溝3の内部を埋め込むような形状となり、金属膜の表面積を小さくすることができる。このため、溶融した金属4が溝3の内部に容易に流れ込み、合わせマークの端の形状が改善される。

【0026】ただし、このような溝3の最大幅は、金属膜4の膜厚に影響される。すなわち、金属膜4の膜厚が厚い場合には、溝3の幅が0.6 $\mu$ mより広い場合にも合わせマークの端の形状を改善することができる。一方、金属膜4の膜厚が薄い場合には、0.6 $\mu$ mの幅の溝3では合わせマークの端の形状を改善することができない。

【0027】また、溝3の最小幅は、フォトリソグラフィ法の最小加工幅と金属膜4の構造とに影響される。すなわち、本実施の形態のようにバリアメタル層を形成する場合には、このバリアメタル層により溝3が埋め込まれない程度に溝3の幅を確保する必要がある。例えば本実施の形態のように、0.13 $\mu$ mの膜厚のバリアメタル層を形成する場合には、この膜厚の約2倍である0.3 $\mu$ m程度以上の幅を有する溝3を形成する必要がある。

【0028】また、金属膜4の成膜工程における温度がより高温である場合、またはリフロー時間がより長い場合には、金属膜4が溝3の内部に流れ込みやすくなるため、溝3の幅が0.6 $\mu$ m以上の場合にも、合わせマークの形状を改善することができる。

【0029】また、上記の実施の形態では、合わせマークは、端にそれぞれ1つずつ溝3を有しているが、例えば複数の溝3を高密度に形成した場合には、すべての溝

3に均一に金属膜4が流れ込まずに、これらの溝3の一部分に金属膜4が流れ込み、溝3の一部分には金属膜4が流れ込まないという現象が生じる。このため、合わせマークの端の形状を改善することができない。

【0030】ただし、前述の0.6 $\mu$ m以上の幅の溝3を有する場合と同様に、金属の成膜工程における温度が高温である場合、または時間が長い場合には、金属膜がより均一に溝3の内部に流れ込むため、溝3が高密度に形成されている場合にも、合わせマークの形状を改善することができる。

【0031】さらに、溝3の深さが金属膜4の堆積膜厚と同程度である場合には、合わせマークの形状は改善されず、溝3の深さを、金属膜4の堆積膜厚より深く形成することが望ましい。

【0032】また、溝3を合わせマークの段差と同時に形成することにより、溝3を形成するための工程を新たに追加する必要がなくなる。このため、本発明を実施するために製造工程が増加することはない。

【0033】また、本発明による第3の実施の形態として、合わせマークの凸部領域の端の段差部の近傍に、例えば直径1 $\mu$ m未満の孔5を例えば3 $\mu$ m程度のピッチで多数個並べて形成することも可能である。この孔5と段差部との間の距離は、前述の実施の形態における溝3の場合と同様に、例えば1 $\mu$ m未満とすることが望ましい。図3の(a)に、本実施の形態による半導体装置が有する合わせマークの構造を示す上面図、図3の(b)に、同図(a)のA-A'断面図を示す。また、図3の(c)および(d)に、高温の成膜工程を用いて金属膜4を形成した後の合わせマークの形状を示す。

【0034】この図に示すように、孔5を多数個形成することによっても、前述の第1または第2の実施の形態における溝3と同様に、この孔5の内部に金属膜4が流れ込むため、金属膜4が不均一に成長することを抑制し、合わせマークの形状を改善することができる。さらに、この孔の形状は、図3に示すような円形に限らず、例えば図4の(a)から(c)に上面図を示すような、様々な形状とすることができる。

【0035】

【発明の効果】以上のように、本発明による半導体装置では、金属膜が高温の成膜工程により形成される場合にも、合わせマークの端に凹凸が生じることを抑制することができるため、フォトリソグラフィ法において高い合わせ精度を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の構造を示す上面図および断面図。

【図2】本発明の第2の実施の形態による半導体装置の構造を示す上面図および断面図。

【図3】本発明の第3の実施の形態による半導体装置の構造を示す上面図および断面図。

【図4】本発明の第3の実施の形態による半導体装置の他の構造を示す上面図。

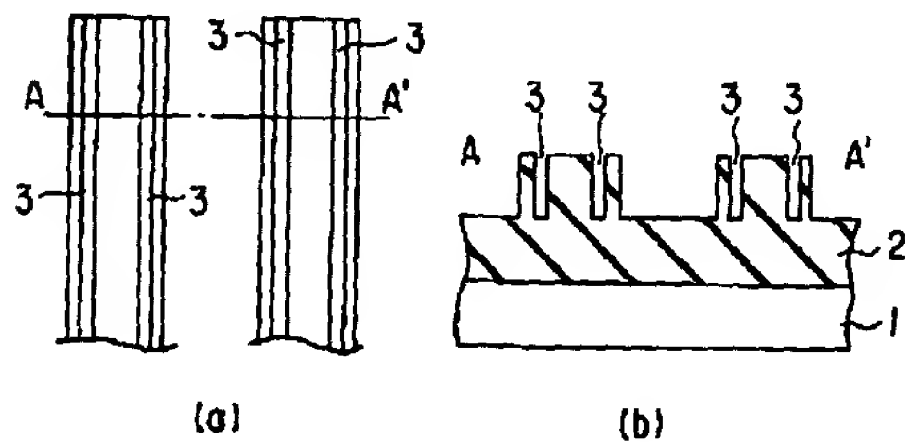
【図5】従来の半導体装置の構造を示す上面図および断面図。

【図6】従来の半導体装置の構造を示す上面図および断面図。

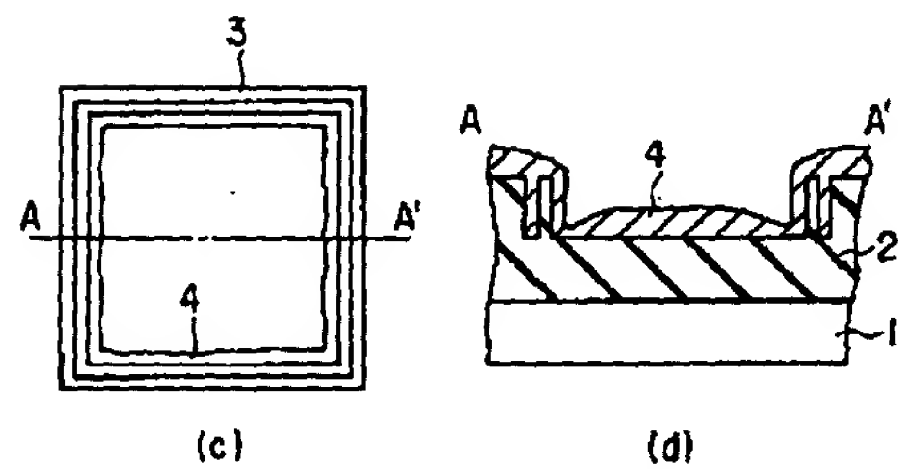
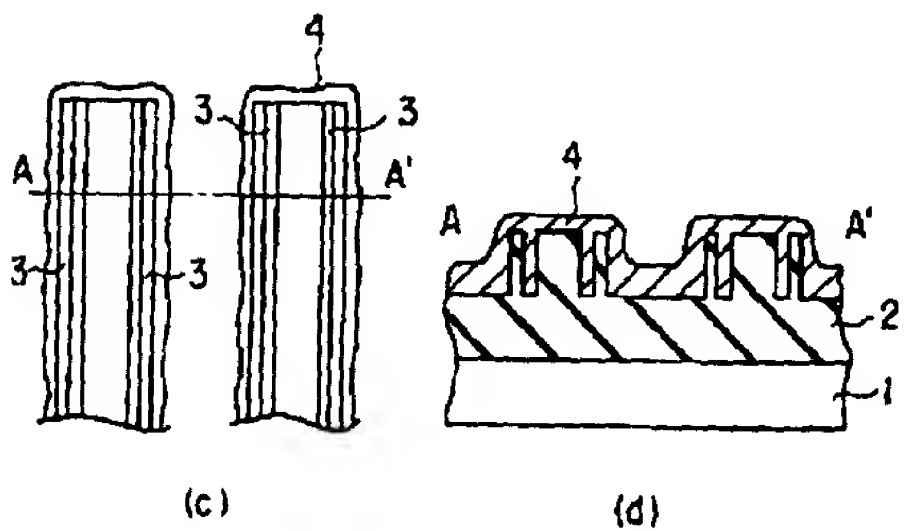
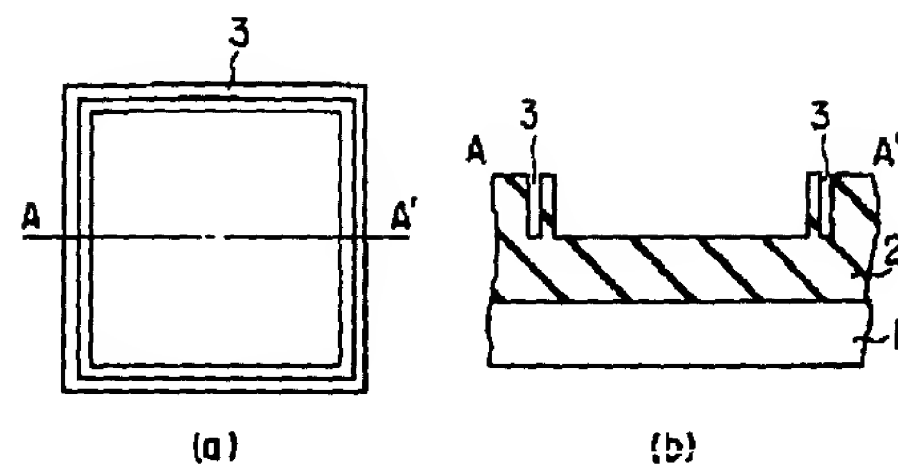
【符号の説明】

- 1…半導体基板、
- 2…層間絶縁膜、
- 3…溝、
- 4…金属膜、
- 5…孔

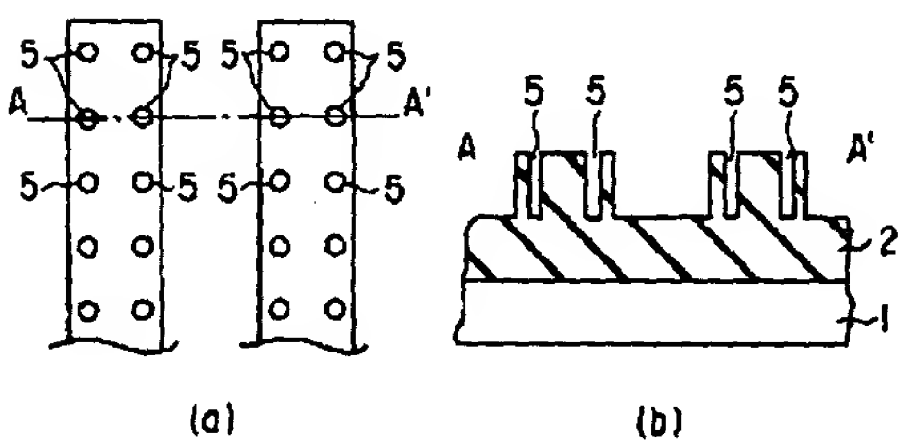
【図1】



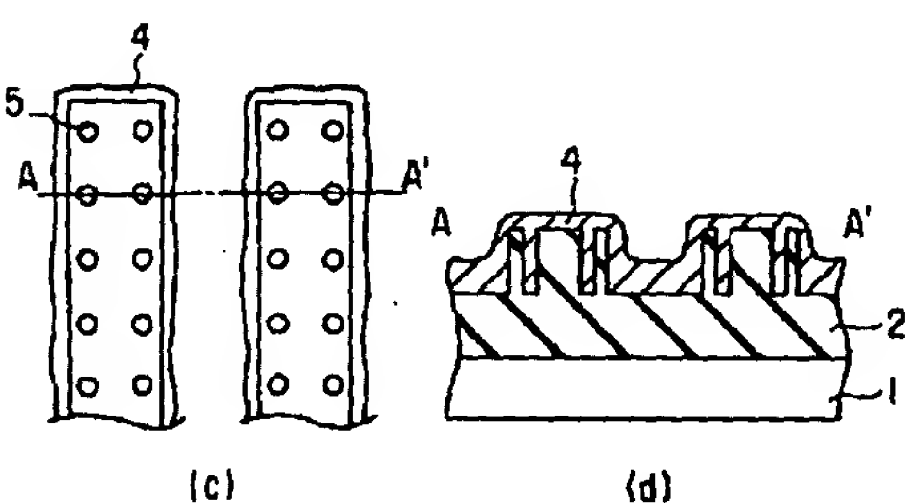
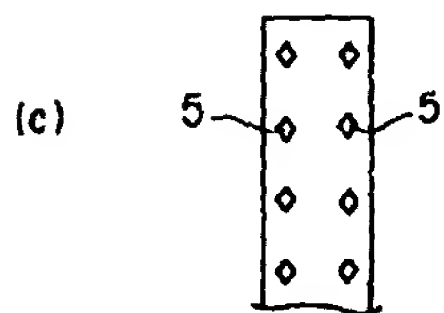
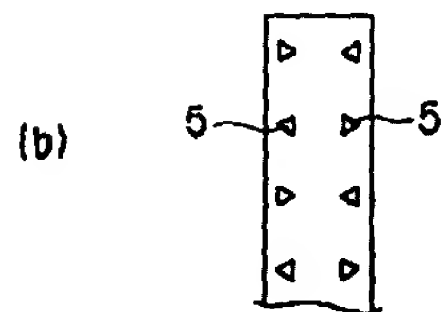
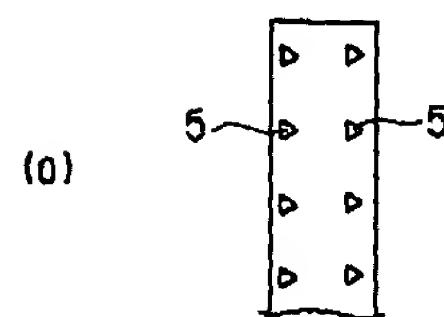
【図2】



【図3】

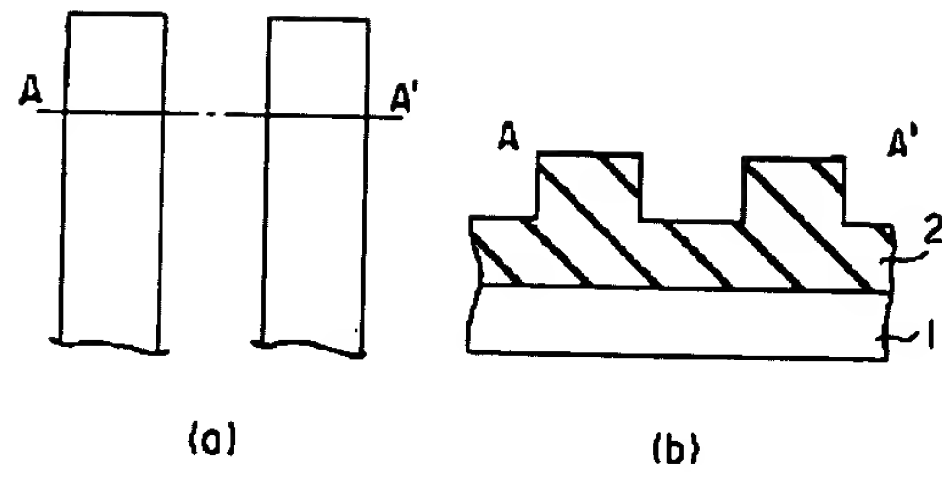


【図4】





【図 5】



【図 6】

